

5-13 02

Attorney Docket No.: 8039-1001
PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Hideki OKUYAMA Confirmation No.: 3041
Appl. No.: 10/077,947 Group: 2185
Filed: February 20, 2002 Examiner: UNKNOWN
For: MULTIPROCESSOR SYSTEM, SHARED-MEMORY
CONTROLLING METHOD, RECORDING MEDIUM
AND DATA SIGNAL EMBEDDED IN A CARRIER
WAVE

RECEIVED
JUN 10 2002
Technology Center 2100

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

Date: June 7, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
Japan	2001-043855	February 20, 2001

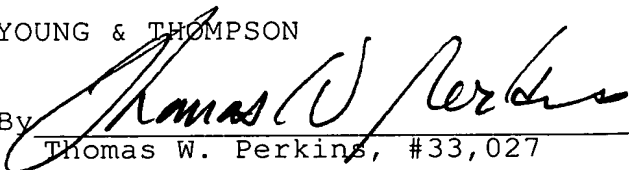
A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By


Thomas W. Perkins, #33,027

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

TWP/psf

Attachment



日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 2月20日

RECEIVED

出願番号
Application Number:

特願2001-043855

JUN 10 2002

Technology Center 2100

[ST.10/C]:

[JP2001-043855]

出願人
Applicant(s):

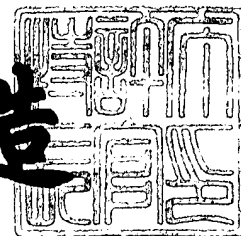
日本電気株式会社

CERTIFIED COPY OF
COPY DOCUMENT

2002年 1月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3113237

【書類名】 特許願

【整理番号】 40310114

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 奥山 英樹

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100093595

 【弁理士】

 【氏名又は名称】 松本 正夫

【手数料の表示】

 【予納台帳番号】 057794

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303563

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサシステムとその共有メモリ制御方法、及び共有メモリ制御プログラム

【特許請求の範囲】

【請求項 1】 共有メモリを複数のプロセッサにより共有するマルチプロセッサシステムにおいて、

各前記プロセッサは、

他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換する手段と、

他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対する予め設定されたアクセスを実行する手段を備えることにより、

各前記プロセッサのそれぞれが連携して、前記共有メモリをアクセスすることを特徴とするマルチプロセッサシステム。

【請求項 2】 各前記プロセッサは、

前記共有メモリに記録されたデータの更新処理が終了した場合に、他のプロセッサに対して、当該更新されたデータを読み出させるための要求であるデータ再読出要求を通知し、

前記データ再読出要求を他の前記プロセッサから受けた場合に、当該データ再読出要求において指定される当該更新されたデータの読み出しを実行することを特徴とする請求項 1 又は記載のマルチプロセッサシステム。

【請求項 3】 各前記プロセッサは、

前記共有メモリに記録されたデータの更新処理が失敗した場合に、他のプロセッサに対して、当該更新に失敗したデータの更新処理を引き継がせるための要求であるデータ代理更新要求を通知し、

前記データ代理更新要求を他の前記プロセッサから受けた場合に、当該データ代理更新要求において指定される当該更新に失敗したデータの更新処理を実行することを特徴とする請求項 1 又は請求項 2 に記載のマルチプロセッサシステム。

【請求項 4】 各前記プロセッサによる前記共有メモリに対するアクセスを管理する競合判定部を備え、

前記競合判定部は、

各前記プロセッサからの前記共有メモリに対するアクセス要求を受け付け、アクセス競合の発生時には、当該アクセスを許可する前記プロセッサを選択し決定することを特徴とする請求項 1 から請求項 3 のいずれか一つに記載のマルチプロセッサシステム。

【請求項 5】 各前記プロセッサは、

前記競合判定部に対して処理の終了の要求であるリセット要求を通知する手段を備え、

前記競合判定部は、

前記プロセッサから前記リセット要求を受け付けた場合に、各前記プロセッサ及び前記競合判定部をリセットすることを特徴とする請求項 4 に記載のマルチプロセッサシステム。

【請求項 6】 各前記プロセッサは、

前記競合判定部からの応答に異常を検出した場合に、前記リセット要求を発信することを特徴とする請求項 5 に記載のマルチプロセッサシステム。

【請求項 7】 通信ネットワークを介して外部のサーバから取得するデータの、前記共有メモリへの記録処理を、各前記プロセッサが連携して実行することを特徴とする請求項 1 から請求項 6 のいずれか一つに記載のマルチプロセッサシステム。

【請求項 8】 前記共有メモリを、フラッシュメモリとすることを特徴とする請求項 1 から請求項 7 のいずれか一つに記載のマルチプロセッサシステム。

【請求項 9】 組み込み型とすることを特徴とする請求項 1 から請求項 8 のいずれか一つに記載のマルチプロセッサシステム。

【請求項 10】 共有メモリを複数のプロセッサにより共有するマルチプロセッサシステムの共有メモリ制御方法において、

各前記プロセッサは、

他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換するステップと、

他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対

する予め設定されたアクセスを実行するステップを備えることにより、

各前記プロセッサのそれぞれが連携して、前記共有メモリをアクセスすることを特徴とするマルチプロセッサシステム。

【請求項 1 1】 各前記プロセッサは、

前記共有メモリに記録されたデータの更新処理が終了した場合に、他のプロセッサに対して、当該更新されたデータを読み出させるための要求であるデータ再読出要求を通知するステップと、

前記データ再読出要求を他の前記プロセッサから受けた場合に、当該データ再読出要求において指定される当該更新されたデータの読み出しを実行するステップを備えることを特徴とする請求項 1 0 に記載の共有メモリ制御方法。

【請求項 1 2】 各前記プロセッサは、

前記共有メモリに記録されたデータの更新処理が失敗した場合に、他のプロセッサに対して、当該更新に失敗したデータの更新処理を引き継がせるための要求であるデータ代理更新要求を通知するステップと、

前記データ代理更新要求を他の前記プロセッサから受けた場合に、当該データ代理更新要求において指定される当該更新に失敗したデータの更新処理を実行するステップを備えることを特徴とする請求項 1 0 又は請求項 1 1 に記載の共有メモリ制御方法。

【請求項 1 3】 各前記プロセッサによる前記共有メモリに対するアクセスを管理する競合判定部を備え、

前記競合判定部は、

各前記プロセッサからの前記共有メモリに対するアクセス要求を受け付けるステップと、

アクセス競合の発生時に、当該アクセスを許可する前記プロセッサを選択し決定するステップを備えることを特徴とする請求項 1 0 から請求項 1 2 のいずれかに記載の共有メモリ制御方法。

【請求項 1 4】 各前記プロセッサは、

前記競合判定部に対して処理の終了の要求であるリセット要求を通知するステップを備え、

前記競合判定部は、

前記プロセッサから前記リセット要求を受け付けた場合に、各前記プロセッサ及び前記競合判定部をリセットするステップを備えることを特徴とする請求項 1 3 に記載の共有メモリ制御方法。

【請求項 1 5】 各前記プロセッサは、

前記競合判定部からの応答に異常を検出した場合に、自動的に前記リセット要求を発信するステップを備えることを特徴とする請求項 1 4 に記載の共有メモリ制御方法。

【請求項 1 6】 通信ネットワークを介して外部のサーバから取得するデータの、前記共有メモリへの記録処理を、各前記プロセッサが連携して実行することを特徴とする請求項 1 0 から請求項 1 5 のいずれか一つに記載の共有メモリ制御方法。

【請求項 1 7】 共有メモリを複数のプロセッサにより共有するマルチプロセッサシステムの、コンピュータを制御することにより、各前記プロセッサの共有メモリに対するアクセスを制御する共有メモリ制御プログラムにおいて、

各前記プロセッサは、

他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換する処理と、

他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対する予め設定されたアクセスを実行する処理を実行させることにより、

各前記プロセッサのそれぞれが連携して前記共有メモリをアクセスする処理を実行させることを特徴とする共有メモリ制御プログラム。

【請求項 1 8】 各前記プロセッサにおいては、

前記共有メモリに記録されたデータの更新処理が終了した場合に、他のプロセッサに対して、当該更新されたデータを読み出させるための要求であるデータ再読出要求を通知する処理と、

前記データ再読出要求を他の前記プロセッサから受けた場合に、当該データ再読出要求において指定される当該更新されたデータの読み出しを実行する処理を実行させることを特徴とする請求項 1 7 に記載の共有メモリ制御プログラム。

【請求項 1 9】 各前記プロセッサにおいては、

前記共有メモリに記録されたデータの更新処理が失敗した場合に、他のプロセッサに対して、当該更新に失敗したデータの更新処理を引き継がせるための要求であるデータ代理更新要求を通知する処理と、

前記データ代理更新要求を他の前記プロセッサから受けた場合に、当該データ代理更新要求において指定される当該更新に失敗したデータの更新処理を実行する処理を実行させることを特徴とする請求項 1 7 又は請求項 1 8 に記載の共有メモリ制御プログラム。

【請求項 2 0】 各前記プロセッサによる前記共有メモリに対するアクセスを管理する競合判定部を備え、

前記競合判定部においては、

各前記プロセッサからの前記共有メモリに対するアクセス要求を受け付ける処理と、

アクセス競合の発生時に、当該アクセスを許可する前記プロセッサを選択し決定する処理を実行させることを特徴とする請求項 1 7 から請求項 1 9 のいずれか一つに記載の共有メモリ制御プログラム。

【請求項 2 1】 各前記プロセッサは、

前記競合判定部に対して処理の終了の要求であるリセット要求を通知する処理を実行させ、

前記競合判定部は、

前記プロセッサから前記リセット要求を受け付けた場合に、各前記プロセッサ及び前記競合判定部をリセットする処理を実行させることを特徴とする請求項 2 0 に記載の共有メモリ制御プログラム。

【請求項 2 2】 各前記プロセッサは、

前記競合判定部からの応答に異常を検出した場合に、自動的に前記リセット要求を発信する処理を実行させることを特徴とする請求項 2 1 に記載の共有メモリ制御プログラム。

【請求項 2 3】 通信ネットワークを介して外部のサーバから取得するデータの、前記共有メモリへの記録処理を、各前記プロセッサに連携させて実行させ

ることを特徴とする請求項 1 7 から請求項 2 2 のいずれか一つに記載の共有メモリ制御プログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、マルチプロセッサシステムに関し、特に、複数の各プロセッサによる共有メモリの効率の良いアクセスを制御するマルチプロセッサシステムとその共有メモリ制御方法、及び共有メモリ制御プログラムに関する。

【0 0 0 2】

【従来技術】

マルチプロセッサシステムの、各プロセッサによる共有メモリへのアクセスを制御す従来技術には、例えば、特開平 0 4 - 2 9 1 0 8 5 号公報に開示されたメモリアccess方式がある。

【0 0 0 3】

この特開平 0 4 - 2 9 1 0 8 5 号公報に開示された従来技術では、マルチプロセッサシステムをシステムバスを介して構成している CPU 上、あるいは当該システムバスに接続された別ポート上に、共有メモリとしての 2 ポートメモリ、及びその 2 ポートメモリへのアクセス権を設定するアクセスフラグエリアを設け、このアクセスフラグエリアにセットされたアクセスフラグを有する CPU のみに、前記 2 ポートメモリへのアクセスを認める方式が提案されている。

【0 0 0 4】

また他にも、例えば、特開平 0 3 - 0 5 4 6 6 0 号公報に開示されたマルチプロセッサシステムにおける共有メモリ管理方式がある。

【0 0 0 5】

この特開平 0 3 - 0 5 4 6 6 0 号公報に開示された従来技術では、CPU が共有メモリにアクセスする必要があると、メモリリクエスト信号を“ON”状態にする。そして、優先順位制御回路が、複数のプロセッサからアクセス要求に基づいて排他制御を行ない、いずれか 1 つのプロセッサに対しメモリ獲得応答を返送する。このメモリ獲得応答を返したプロセッサに対応するバスゲート回路にメモ

リバスを接続状態にする旨の指示を出すと、そのバスゲート回路が、プロセッサとメモリとを接続状態にする。これにより、マルチプロセッサシステム全体の性能を低下させることなく、共有メモリへのアクセス要求の排他制御を行なう方式が提案されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、上述された従来のシステムでは、以下に述べるような問題点があった。

【 0 0 0 7 】

第 1 に、従来のマルチプロセッサシステムでは、共有メモリに記録されたデータの更新処理において更新失敗のリカバリ (Recovery) 処理や、最新データの有無の確認等を、各プロセッサ間において相互に通知し連携して処理することができなかった。

【 0 0 0 8 】

マルチプロセッサシステムの共有メモリには、例えば、書き換え可能で不揮発性なメモリであるフラッシュメモリ (Flash Memory) 等が用いられており、またこうしたメモリは高価であるため、各プロセッサにおいて扱うデータを効率良く一元的に管理できることが求められている。

【 0 0 0 9 】

このため、例えば、外部ホストからのダウンロードされる大容量の (例えば、音声 / 静止画 / 動画等の) サービスデータを、各プロセッサが連携して効率良く共有メモリに格納し更新することのできるマルチプロセッサシステムが求められていた。

【 0 0 1 0 】

第 2 に、従来のマルチプロセッサシステムでは、各プロセッサ毎に、電源 OFF / ON やリセットを個別に行なうことができなかった。

【 0 0 1 1 】

本発明の第 1 の目的は、上記従来技術の欠点を解決し、共有メモリに記録されたデータの更新処理において、更新失敗のリカバリ処理や最新データの有無の確

認等を、各プロセッサ間において相互に通知し連携して処理するマルチプロセッサシステムとその共有メモリ制御方法、及び共有メモリ制御プログラムを提供することである。

【 0 0 1 2 】

本発明の第 2 の目的は、上記従来技術の欠点を解決し、各プロセッサ毎に、電源 OFF / ON やリセットを個別に行なうことのできるマルチプロセッサシステムとその共有メモリ制御方法、及び共有メモリ制御プログラムを提供することである。

【 0 0 1 3 】

【課題を解決するための手段】

上記目的を達成するため本発明のマルチプロセッサシステムは、共有メモリを複数のプロセッサにより共有するマルチプロセッサシステムにおいて、各前記プロセッサは、他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換する手段と、他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対する予め設定されたアクセスを実行する手段を備えることにより、各前記プロセッサのそれぞれが連携して、前記共有メモリをアクセスすることを特徴とする。

【 0 0 1 4 】

請求項 2 の本発明のマルチプロセッサシステムは、各前記プロセッサは、前記共有メモリに記録されたデータの更新処理が終了した場合に、他のプロセッサに対して、当該更新されたデータを読み出させるための要求であるデータ再読出要求を通知し、前記データ再読出要求を他の前記プロセッサから受けた場合に、当該データ再読出要求において指定される当該更新されたデータの読み出しを実行することを特徴とする。

【 0 0 1 5 】

請求項 3 の本発明のマルチプロセッサシステムは、各前記プロセッサは、前記共有メモリに記録されたデータの更新処理が失敗した場合に、他のプロセッサに対して、当該更新に失敗したデータの更新処理を引き継がせるための要求であるデータ代理更新要求を通知し、前記データ代理更新要求を他の前記プロセッサか

ら受けた場合に、当該データ代理更新要求において指定される当該更新に失敗したデータの更新処理を実行することを特徴とする。

【 0 0 1 6 】

請求項 4 の本発明のマルチプロセッサシステムは、各前記プロセッサによる前記共有メモリに対するアクセスを管理する競合判定部を備え、前記競合判定部は、各前記プロセッサからの前記共有メモリに対するアクセス要求を受け付け、アクセス競合の発生時には、当該アクセスを許可する前記プロセッサを選択し決定することを特徴とする。

【 0 0 1 7 】

請求項 5 の本発明のマルチプロセッサシステムは、各前記プロセッサは、前記競合判定部に対して処理の終了の要求であるリセット要求を通知する手段を備え、前記競合判定部は、前記プロセッサから前記リセット要求を受け付けた場合に、各前記プロセッサ及び前記競合判定部をリセットすることを特徴とする。

【 0 0 1 8 】

請求項 6 の本発明のマルチプロセッサシステムは、各前記プロセッサは、前記競合判定部からの応答に異常を検出した場合に、前記リセット要求を発信することを特徴とする。

【 0 0 1 9 】

請求項 7 の本発明のマルチプロセッサシステムは、通信ネットワークを介して外部のサーバから取得するデータの、前記共有メモリへの記録処理を、各前記プロセッサが連携して実行することを特徴とする。

【 0 0 2 0 】

請求項 8 の本発明のマルチプロセッサシステムは、前記共有メモリを、フラッシュメモリとすることを特徴とする。

【 0 0 2 1 】

請求項 9 の本発明のマルチプロセッサシステムは、組み込み型とすることを特徴とする。

【 0 0 2 2 】

請求項 1 0 の本発明のマルチプロセッサシステムは、共有メモリを複数のプロ

セッサにより共有するマルチプロセッサシステムの共有メモリ制御方法において、各前記プロセッサは、他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換するステップと、他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対する予め設定されたアクセスを実行するステップを備えることにより、各前記プロセッサのそれぞれが連携して、前記共有メモリをアクセスすることを特徴とする。

【 0 0 2 3 】

請求項 1 1 の本発明の共有メモリ制御方法は、各前記プロセッサは、前記共有メモリに記録されたデータの更新処理が終了した場合に、他のプロセッサに対して、当該更新されたデータを読み出させるための要求であるデータ再読出要求を通知するステップと、前記データ再読出要求を他の前記プロセッサから受けた場合に、当該データ再読出要求において指定される当該更新されたデータの読み出しを実行するステップを備えることを特徴とする。

【 0 0 2 4 】

請求項 1 2 の本発明の共有メモリ制御方法は、各前記プロセッサは、前記共有メモリに記録されたデータの更新処理が失敗した場合に、他のプロセッサに対して、当該更新に失敗したデータの更新処理を引き継がせるための要求であるデータ代理更新要求を通知するステップと、前記データ代理更新要求を他の前記プロセッサから受けた場合に、当該データ代理更新要求において指定される当該更新に失敗したデータの更新処理を実行するステップを備えることを特徴とする。

【 0 0 2 5 】

請求項 1 3 の本発明の共有メモリ制御方法は、各前記プロセッサによる前記共有メモリに対するアクセスを管理する競合判定部を備え、前記競合判定部は、各前記プロセッサからの前記共有メモリに対するアクセス要求を受け付けるステップと、アクセス競合の発生時に、当該アクセスを許可する前記プロセッサを選択し決定するステップを備えることを特徴とする。

【 0 0 2 6 】

請求項 1 4 の本発明の共有メモリ制御方法は、各前記プロセッサは、前記競合判定部に対して処理の終了の要求であるリセット要求を通知するステップを備え

、前記競合判定部は、前記プロセッサから前記リセット要求を受け付けた場合に、各前記プロセッサ及び前記競合判定部をリセットするステップを備えることを特徴とする。

【 0 0 2 7 】

請求項 1 5 の本発明の共有メモリ制御方法は、各前記プロセッサは、前記競合判定部からの応答に異常を検出した場合に、自動的に前記リセット要求を発信するステップを備えることを特徴とする。

【 0 0 2 8 】

請求項 1 6 の本発明の共有メモリ制御方法は、通信ネットワークを介して外部のサーバから取得するデータの、前記共有メモリへの記録処理を、各前記プロセッサが連携して実行することを特徴とする。

【 0 0 2 9 】

請求項 1 7 の本発明の共有メモリ制御プログラムは、共有メモリを複数のプロセッサにより共有するマルチプロセッサシステムの、コンピュータを制御することにより、各前記プロセッサの共有メモリに対するアクセスを制御する共有メモリ制御プログラムにおいて、各前記プロセッサは、他の前記プロセッサと通信し、前記共有メモリに対するアクセスに関する情報を交換する処理と、他の前記プロセッサとの間で交換された情報に基づいて、前記共有メモリに対する予め設定されたアクセスを実行する処理を実行させることにより、各前記プロセッサのそれぞれが連携して前記共有メモリをアクセスする処理を実行させることを特徴とする。

【 0 0 3 0 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 3 1 】

本発明のマルチプロセッサシステムでは、共有メモリに記録するデータを、複数の個々のプロセッサが効率良く連携してアクセスし処理する機能を提供する。

【 0 0 3 2 】

図 1 は、本発明の第 1 の実施の形態によるマルチプロセッサシステム 1 0 0 の

構成を示すブロック図である。

【 0 0 3 3 】

図 1 を参照すると、本実施の形態のマルチプロセッサシステム 1 0 0 では、共有メモリ 6 0 と、競合判定部 5 0 と、複数のプロセッサ 1 0 - 1 ~ 1 0 - n を備えている。また、各プロセッサ 1 0 - 1 ~ 1 0 - n に対して、LAN 8 0 を介してサーバ 7 0 が接続されており、サーバ 7 0 からデータをダウンロードすることができる。

【 0 0 3 4 】

図 2 は、本実施の形態によるマルチプロセッサシステム 1 0 0 の各プロセッサ 1 0、競合判定部 5 0、共有メモリ 6 0 の構成を示すブロック図である。

【 0 0 3 5 】

図 2 を参照すると、各プロセッサ 1 0 は、そのプロセッサの動作を制御する CPU 2 0 と、各種レジスタ（割込要求レジスタ 2 1、割込表示レジスタ 2 2、リセットレジスタ 2 3、REQ レジスタ 2 4、ACK レジスタ 2 5）と、LAN コントローラ 4 0 と、システムバス 4 1 と、メインメモリ 3 0 を備えている。

【 0 0 3 6 】

共有メモリ 6 0 は、各プロセッサ 1 0 が共有するメモリであり、フラッシュメモリ（Flash Memory）等を用いることができる。また、共有メモリ 6 0 内には、各プロセッサ 1 0 がサーバ 7 0 から LAN コントローラ 経由でダウンロードしたデータであるサービスデータ 6 2 と、そのサービスデータを管理するためのサービスデータ管理情報 6 1 が記録されている。

【 0 0 3 7 】

競合判定部 5 0 は、各プロセッサ 1 0 の共有メモリ 6 0 に対するアクセスが競合した場合に、アクセスを行なうプロセッサ 1 0 を選択し決定する。

【 0 0 3 8 】

また、各プロセッサ 1 0 におけるメインメモリ 3 0 には、当該プロセッサ 1 0 において使用するためのサービスデータ 3 2 と、共有メモリ 6 0 のサービスデータ管理情報 3 1 と、当該プロセッサ 1 0 において処理するプログラムであるアプリケーションソフトウェア 3 3 と、排他制御を処理するプログラムである排他制

御ソフトウェア 34 が記録されている。メインメモリ 30 には、例えば、D R A M (Dynamic RAM) を用いることができる。

【 0 0 3 9 】

これらのアプリケーションソフトウェア 33 や排他制御ソフトウェア 34 による処理は、当該プロセッサ 10 の C P U 20 によりロードされ、当該プロセッサ 10 の動作を制御することにより実現される。

【 0 0 4 0 】

排他制御ソフトウェア 34 は、自プロセッサ 10 内の R E Q レジスタ 24、A C K レジスタ 25 や、競合判定部 50 との連携により、他のプロセッサとの間で排他処理を行ないつつ、共有メモリ 60 へのアクセス処理全体を制御する。更に、排他制御ソフトウェア 34 は、割込要求レジスタ 21、割込表示レジスタ 22、リセットレジスタ 23 との連携により競合判定部 50 の異常処理時の復旧処理を制御する。

【 0 0 4 1 】

この排他制御ソフトウェア 34 は、各プロセッサ 10 上に同じものが備えられ、上述された処理をそれぞれの各プロセッサ 10 において実行する。

【 0 0 4 2 】

本実施の形態のマルチプロセッサシステム 100 では、以上説明された構成を採用することにより、例えば、共有メモリ 60 に記録されたデータの更新処理において、更新失敗のリカバリ処理や最新データの有無の確認等を、各プロセッサ 10 間において相互に通知し連携して処理することができる。

【 0 0 4 3 】

次に、図 2 に示される本実施の形態の各プロセッサ 10 における各部の機能をより詳細に説明する。

【 0 0 4 4 】

L A N コントローラ 40 は、各プロセッサ 10 が L A N 80 を介してサーバ 70 に接続するためのコントローラである。各プロセッサ 10 は、この L A N コントローラ 40 を用いて、サーバ 70 から共有メモリ 60 へデータをダウンロードする。

【 0 0 4 5 】

システムバス 4 1 は、各プロセッサ 1 0 内のメインメモリ 3 0 や LAN コントローラ 4 0 と、共有メモリ 6 0 との間を、競合判定部 5 0 を経由してデータ送受信を行なう。

【 0 0 4 6 】

REQ レジスタ 2 4 は、競合判定部 5 0 に対して、共有メモリ 6 0 へのアクセスの許可を要求するためのレジスタである。REQ レジスタ 2 4 には、排他制御ソフトウェア 3 4 による制御に基づいて、共有メモリ 6 0 にアクセスしたい時に“1”が立てられ（“ON”にされ）、共有メモリ 6 0 へのアクセスが完了次第“0”が立てられる（“OFF”にされる）。

【 0 0 4 7 】

ACK レジスタ 2 5 は、競合判定部 5 0 から、共有メモリ 6 0 に対するアクセス許可の通知を受け付けるためのレジスタである。競合判定部 5 0 は、共有メモリ 6 0 に対するアクセスを許可する場合に、そのプロセッサ 1 0 の ACK レジスタ 2 5 に“1”を立てる（“ON”にする）。またもし、共有メモリ 6 0 にアクセスを要求するプロセッサ 1 0 が競合した場合には、競合判定部 5 0 は、そのいずれかのプロセッサ 1 0 を選択してアクセスを許可し、そのアクセスを許可したプロセッサ 1 0 の ACK レジスタ 2 5 に“1”を立てる。

【 0 0 4 8 】

割込要求レジスタ 2 1 は、他のプロセッサ 1 0 に対して各種要求を通知するためのレジスタである。割込要求レジスタ 2 1 は、各プロセッサ 1 0 の排他制御ソフトウェア 3 4 の制御に基づいて、他のプロセッサに対しサービスデータ 6 2 の再読込要求や代理更新要求等を通知する。

【 0 0 4 9 】

割込表示レジスタ 2 2 は、他のプロセッサ 1 0 の割込要求レジスタ 2 1 から発信された、各種要求を受け付けるためのレジスタである。割込表示レジスタ 2 2 は、他のプロセッサ 1 0 から要求を受け付けた場合（“1”が立つと）には、CPU 2 0 に対して、排他制御ソフトウェア 3 4 による割込ハンドラ処理の起動を指示する信号を出力し、割込処理を開始させる。

【 0 0 5 0 】

リセットレジスタ 2 3 は、競合判定部 5 0 に対してリセット要求を通知するためのレジスタである。リセットレジスタ 2 3 は、排他制御ソフトウェア 3 4 の制御に基づいて、競合判定部 5 0 へのリセット要求を指定する。

【 0 0 5 1 】

図 3 は、本実施の形態の各プロセッサ 1 0 内のメインメモリ 3 0 に記録されるコンピュータプログラムの機能を説明するための図である。

【 0 0 5 2 】

図 3 を参照すると、各プロセッサ 1 0 のメインメモリ 3 0 には、そのプロセッサ 1 0 の処理を司るアプリケーションソフトウェア 3 3 と、共有メモリ 6 0 の排他制御を処理する排他制御ソフトウェア 3 4 を記録している。排他制御ソフトウェア 3 4 は、他のアプリケーションソフトウェア 3 3 に対して、ハードウェアアクセス全般を隠蔽して処理することができ、また、各プロセッサ 1 0 において同じ構成のものが配置される。

【 0 0 5 3 】

排他制御ソフトウェア 3 4 には、アプリケーションソフトウェア 3 3 からの共有メモリ 6 0 へのアクセス要求の制御や他のプロセッサへの通知を司るアクセス要求制御プログラム 3 5 と、他のプロセッサ 1 0 からの（各種要求等の）通知を処理し、これをアプリケーションソフトウェア 3 3 へ通知する割込ハンドラプログラム 3 6 の処理を備えている。

【 0 0 5 4 】

次に、図 4、図 5 のフローチャートを参照して、本実施例の全体の動作について詳細に説明する。

【 0 0 5 5 】

まず、図 4 に従って、排他制御ソフトウェア 3 4 内のアクセス要求制御プログラム 3 5 の動作を説明する。

【 0 0 5 6 】

アクセス要求制御プログラム 3 5 は、アプリケーションソフトウェア 3 3 による、共有メモリ 6 0 へのアクセス要求により起動される（ステップ 4 0 1）。ア

クセス要求を受けると、アクセス要求制御プログラムは、REQレジスタ24に“1”を立てることにより、共有メモリ60へのアクセス要求を行なう（ステップ402）。

【0057】

その結果、競合判定部50は、アクセス要求の競合の有無を判定し、もし競合が発生している場合にはアクセスを許可するプロセッサ10を選択する。ここで競合のない場合や、競合発生時においてアクセスが許可された場合には、競合判定部50は、そのプロセッサ10のACKレジスタ25に“1”を立てる（ステップ403）。

【0058】

アクセス要求制御プログラム35は、各プロセッサのACKレジスタ25の値をルックインにて監視しており（ステップ404）、もし“1”が立った時はアプリケーションソフトウェア33にアクセス許可を通知する（ステップ405）。その結果、アプリケーションソフトウェア33は、共有メモリ60へのアクセスを実行する（ステップ406）。

【0059】

また、アクセスの終了後には、このアクセス処理がもし書き込み処理でない場合は、REQレジスタ24を“0”に戻して（ステップ408）、アクセス処理を終了する。この場合には、共有メモリ60のデータに変化がないため、他のプロセッサ10にデータの再読込みや代理更新を要求する必要がないからである。

【0060】

一方、もし書き込み処理の場合は、アクセス処理が正常に終了したのか異常発生で中止したのかどうかをチェックする（ステップ409）。

【0061】

もし正常終了の場合は、共有メモリ60のデータが更新されたため、他のプロセッサ10にこの更新されたデータの再読込みを要求する。このため、REQレジスタ24を“0”に戻した後（ステップ410）、サービスデータ62及びサービスデータ管理情報61の更新を他のプロセッサに通知して、再度各メインメモリ30にサービスデータ62を読み込んでもらうため、排他制御ソフトウェア

3 4 ハサービスデータ再読み込み通知を出す（ステップ4 1 1）。その結果、排他制御ソフトウェア3 4 は、サービスデータ再読み出し要求ビットに“1”を立て（ステップ4 1 2）、他のプロセッサへ実際にサービスデータ再読み込み信号が出力される（ステップ4 1 3）。

【0 0 6 2】

また、もし異常発生で処理が中止されていた場合は、共有メモリ6 0 のサービスデータ6 2 が中途半端に更新されてしまっている可能性がある判断される。この場合、本実施の形態では、他のプロセッサ1 0 に対して、この更新に失敗したデータの更新処理を要求することができる。この代理更新の要求処理は、REQレジスタ2 4 を“0”に戻した上で（ステップ4 1 4）、排他制御ソフトウェア3 4 に対し、他のプロセッサへのサービスデータ代理更新要求を通知する（ステップ4 1 5）。その結果、排他制御ソフトウェア3 4 は、サービスデータ代理更新要求ビットに“1”を立て（ステップ4 1 6）、その結果、他のプロセッサへ実際にサービスデータ代理更新要求信号が出力される（ステップ4 1 7）。

【0 0 6 3】

なお、ステップ4 0 2 におけるREQレジスタに“1”を立てて、共有メモリ6 0 へのアクセスを要求した後に、もしACKレジスタ2 5 が“0”のままである場合には、競合判定部5 0 により“1”が立てられることを待機し、ACKレジスタ2 5 のルックインを続けてタイムアウトの監視を行なう（ステップ4 1 8）。

【0 0 6 4】

つまり、タイムアウトとなるまでは、競合判定部5 0 により“1”が立てられていないかを調べるため、再度ACKレジスタ2 5 をルックインする処理（ステップ4 0 4）を繰り返し、もしACKレジスタ2 5 が“0”のままタイムアウトした場合には、アプリケーションソフトウェアへタイムアウトの旨通知する（ステップ4 1 9）。その結果、アプリケーションソフトウェア3 3 は、共有メモリ6 0 へのアクセスをキャンセルし（ステップ4 2 0）、REQレジスタ2 4 を“0”に戻す（ステップ4 2 1）と共に、競合判定部5 0 の異常（もしくは他のプロセッサのソフトウェア処理異常）と判断し、排他制御ソフトウェア3 4 に対し

、他のプロセッサへの競合判定部 5 0 の強制リセット要求を出す（ステップ 4 2 2）。その結果、排他制御ソフトウェア 3 4 は、競合判定部 5 0 の強制リセットビットに“1”を立て（ステップ 4 2 3）、他のプロセッサへ実際に競合判定部 5 0 の強制リセット要求信号が出力される（ステップ 4 2 4）。

【 0 0 6 5 】

次に、図 5 に従って、排他制御ソフトウェア 3 4 内の割込ハンドラプログラム 3 6 の動作を説明する。

【 0 0 6 6 】

割込ハンドラプログラム 3 6 は、他のプロセッサ 1 0 からの割込信号（ステップ 5 0 1）をハードウェアが受信した場合に、起動される（ステップ 5 0 2）。起動された割込ハンドラプログラム 3 6 は、割込表示レジスタ 2 2 のビット判定を行ない、受け付けた割り込み信号の内容を識別する（ステップ 5 0 3）。

【 0 0 6 7 】

もし、サービスデータ再読み込み要求を受け付けた場合には、割込ハンドラプログラム 3 6 は、割込要因をクリアすると共に（ステップ 5 0 4）、アクセス要求制御プログラム 3 5 への他のプロセッサからのサービスデータ 6 2 再読み込み要求を通知する（ステップ 5 0 5）。その結果、アクセス要求制御プログラム 3 5 は、共有メモリ 6 0 からサービスデータ管理情報 6 1 を読み込み（ステップ 5 0 6）、その管理データを元に、更新されたサービスデータ 6 2 だけを共有メモリ 6 0 からメインメモリ 3 0 に読み込んで更新する（ステップ 5 0 7）。

【 0 0 6 8 】

もし、サービスデータ代理更新要求を受け付けた場合には、割込ハンドラプログラム 3 6 は、割込要因をクリアすると共に（ステップ 5 0 8）、アクセス要求制御プログラム 3 5 への他のプロセッサからのサービスデータ 6 2 の代理更新要求を通知する（ステップ 5 0 9）。その結果、アクセス要求制御プログラム 3 5 は、他のプロセッサの代わりに、サーバ 7 0 からのダウンロードを行ない、共有メモリ 6 0 上のサービスデータを更新する（ステップ 5 1 0）。

【 0 0 6 9 】

また、もし競合判定部 5 0 の強制リセット要求を受け付けた場合には、割込ハ

ンドラプログラム 3 6 は、割込要因をクリアすると共に（ステップ 5 1 1）、競合判定部 5 0 のリセットレジスタ 2 3 に“1”を立てる（ステップ 5 1 2）。その結果、ハードウェアは、全ての R E Q レジスタ 2 4 や A C K レジスタ 2 5 と共に、競合判定部 5 0 を強制リセットする（ステップ 5 1 3）。

【 0 0 7 0 】

以上説明したように、本実施の形態のマルチプロセッサシステムでは、共有メモリに記録されたデータの更新処理において、更新失敗のリカバリ処理や最新データの有無の確認等を、各プロセッサ間において相互に通知し連携して処理することができる。また、各プロセッサに、リセットを指示するためのリセットレジスタを備えることにより、各プロセッサ毎に電源 O F F / O N やリセットを個別に行なうことができる。

【 0 0 7 1 】

次に、本発明のその他の実施の形態を説明する。

【 0 0 7 2 】

本発明の他の実施の形態としては、各プロセッサ 1 0 における A C K レジスタのルックインを割込信号で実現する方式が同様に可能である。つまり、先の第 1 の実施の形態においては、A C K レジスタに返される競合判定部 5 0 からの応答を、ルックインで監視する方式により説明したが、競合判定部 5 0 からの A C K レジスタへの応答時に割り込みを発生させ、その割り込みに応じて A C K レジスタの値を確認するという方式である。

【 0 0 7 3 】

また、サービスデータ代理更新要求を受領した場合に、サーバ 7 0 からのサービスデータのダウンロードが失敗した場合にはそのダウンロードをあきらめて、メインメモリ 3 0 に読み出されているサービスデータを用いて共有メモリ上のサービスデータを書き戻し、次回再起動時に正常に起動できるように保証する方式が考えられる。ダウンロードが失敗した場合には、サーバ 7 0 との間の回線に何らかの不調がある場合も想定される。このような場合に、ダウンロードが成功するまでそのサーバ 7 0 との通信を繰り返したのでは、無駄であり又共有メモリ 6 0 内のデータが異常な状態のままいつまでも修復されないからである。

【 0 0 7 4 】

また、競合判定部 5 0 からの強制リセット要求を受信した場合に、受信したプロセッサ 1 0 におけるソフトウェアの暴走等の可能性があるため、これを回避するために、まずプロセッサ 1 0 内におけるソフトウェアのリセット処理を併用して実行する方式が考えられる。

【 0 0 7 5 】

また、上記各実施の形態のマルチプロセッサシステム 1 0 0 は、携帯端末等の各種機器に組み込んだ形で用いる組み込みシステム (Embedded System) として構成することも、同様に可能である。

【 0 0 7 6 】

なお、上記各実施の形態のマルチプロセッサシステム 1 0 0 は、競合判定部 5 0 における、競合発生時においてアクセスを許可するプロセッサ 1 0 を決定する等の機能や、その他の機能をハードウェア的に実現することは勿論として、各機能を備えるコンピュータプログラムを、コンピュータ処理装置のメモリにロードされることで実現することができる。このコンピュータプログラムは、磁気ディスク、半導体メモリその他の記録媒体 9 0 に格納される。そして、その記録媒体からコンピュータ処理装置にロードされ、コンピュータ処理装置の動作を制御することにより、上述した各機能を実現する。

【 0 0 7 7 】

また、各プロセッサ 1 0 のメインメモリ 3 0 に記録された、排他制御ソフトウェア 3 4 やアクセス要求制御プログラム 3 5 や割込ハンドラプログラム 3 6 やその他の機能を、ハードウェア的に実現するものとしてもよい。

【 0 0 7 8 】

以上好ましい実施の形態及び実施例をあげて本発明を説明したが、本発明は必ずしも上記実施の形態及び実施例に限定されるものではなく、その技術的思想の範囲内において様々に変形して実施することができる。

【 0 0 7 9 】

【発明の効果】

以上説明したように本発明のマルチプロセッサシステムによれば、以下のよう

な効果が達成される。

【0080】

第1に、複数のプロセッサの対等性／独立性／拡張性を維持した上で、共有メモリに大容量のサービスデータ（例えば、音声／静止画／動画等）を格納し更新する処理を、一元的に効率良く処理することができる。これにより、フラッシュメモリ等の高価な共有メモリを、効率良く利用することができ、システムのコストダウンを実現することができる。

【0081】

第2に、各プロセッサ間の競合判定や各プロセッサ間の最小限の情報交換をハードウェア的に処理し、他の排他制御全体の処理を、コンピュータプログラムが各回路の動作を制御することによるソフトウェア処理とすることができる。この構成により、例えば、アプリケーションソフトウェアの動作状況に応じて、排他処理全体を柔軟に管理することができる。

【0082】

第3に、外部ホストからのダウンロードによりサービスデータを更新する際の、更新失敗のリカバ処理や最新サービスデータの有無等をプロセッサ間で通知し合うことができる。また、どのプロセッサのLANコントローラからでも、任意にサービスデータを更新することができる。その理由は、各プロセッサ間において、割込信号による通信手段を備えることで連携動作ができるからである。

【0083】

第4に、共有メモリを備えるにも関わらず、各プロセッサの個別の電源OFF／ON、リセットが可能となる。その理由は、装置内に1つ備える構成要素である競合判定部が全プロセッサに接続され、かつ競合判定部のリセット手段を各プロセッサ毎に備えるためである。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態によるマルチプロセッサシステムの構成を示すブロック図である。

【図2】 本発明の第1の実施の形態によるマルチプロセッサシステムの各プロセッサ、競合判定部、共有メモリの構成を示すブロック図である。

【図 3】 本発明の第 1 の実施の形態の各プロセッサにおいて実行されるソフトウェアの機能を説明するためのブロック図である。

【図 4】 本発明の第 1 の実施の形態の各プロセッサにおけるアクセス要求の処理を説明するためのフローチャートである。

【図 5】 本発明の第 1 の実施の形態の各プロセッサにおける割り込みハンドラの処理を説明するためのフローチャートである。

【符号の説明】

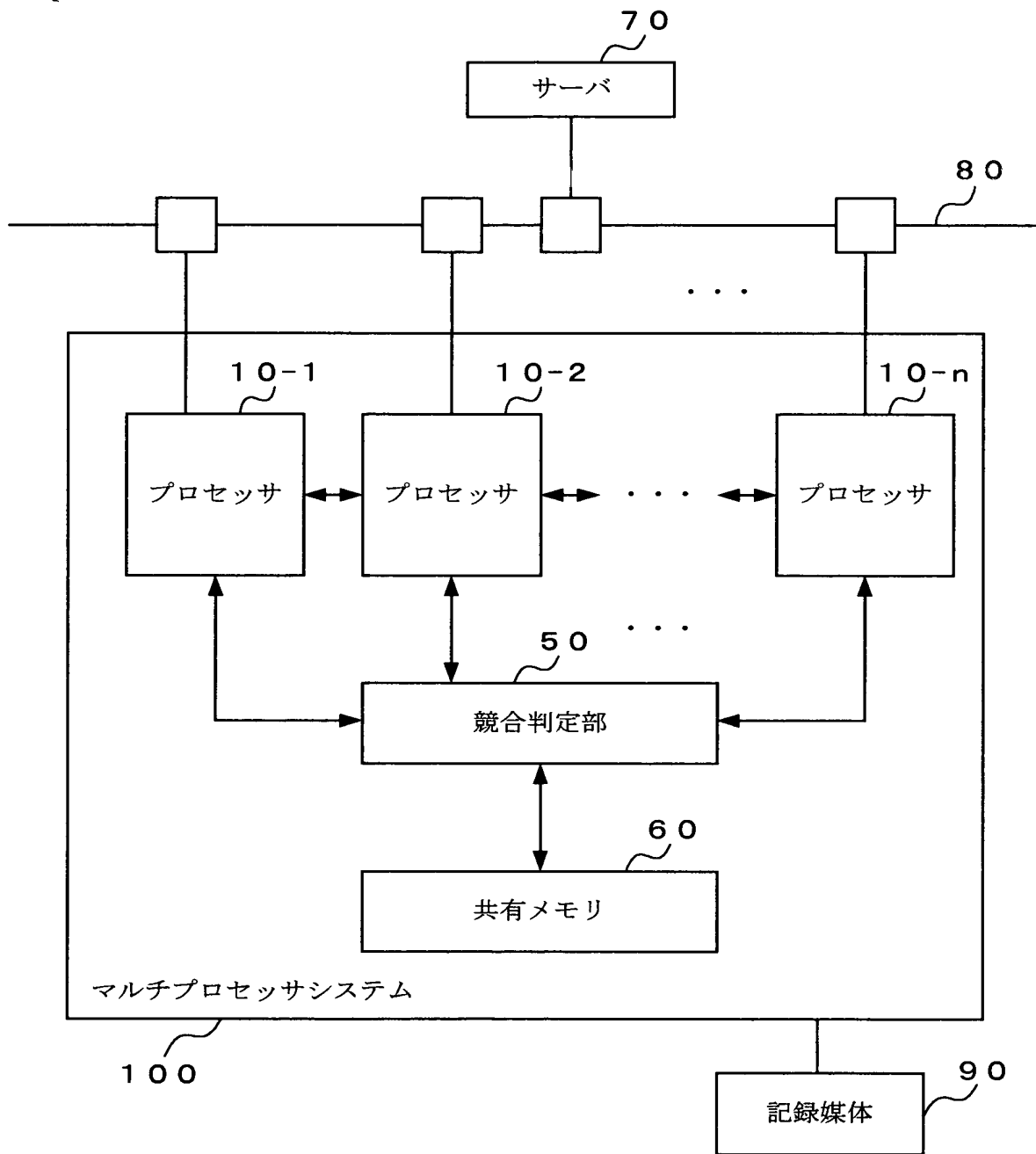
- 1 0 0 マルチプロセッサシステム
- 1 0、1 0 - 1 ~ 1 0 - n プロセッサ
- 2 0 C P U
- 2 1 割込要求レジスタ
- 2 2 割込表示レジスタ
- 2 3 リセットレジスタ
- 2 4 R E Q レジスタ
- 2 5 A C K レジスタ
- 3 0 メインメモリ
- 3 1 サービスデータ管理情報
- 3 2 サービスデータ
- 3 3 アプリケーションソフトウェア
- 3 4 排他制御ソフトウェア
- 3 5 アクセス要求制御プログラム
- 3 6 割込ハンドラプログラム
- 4 0 L A N コントローラ
- 4 1 システムバス
- 5 0 競合判定部
- 6 0 共有メモリ
- 6 1 サービスデータ管理情報
- 6 2 サービスデータ
- 7 0 サーバ

8 0 L A N

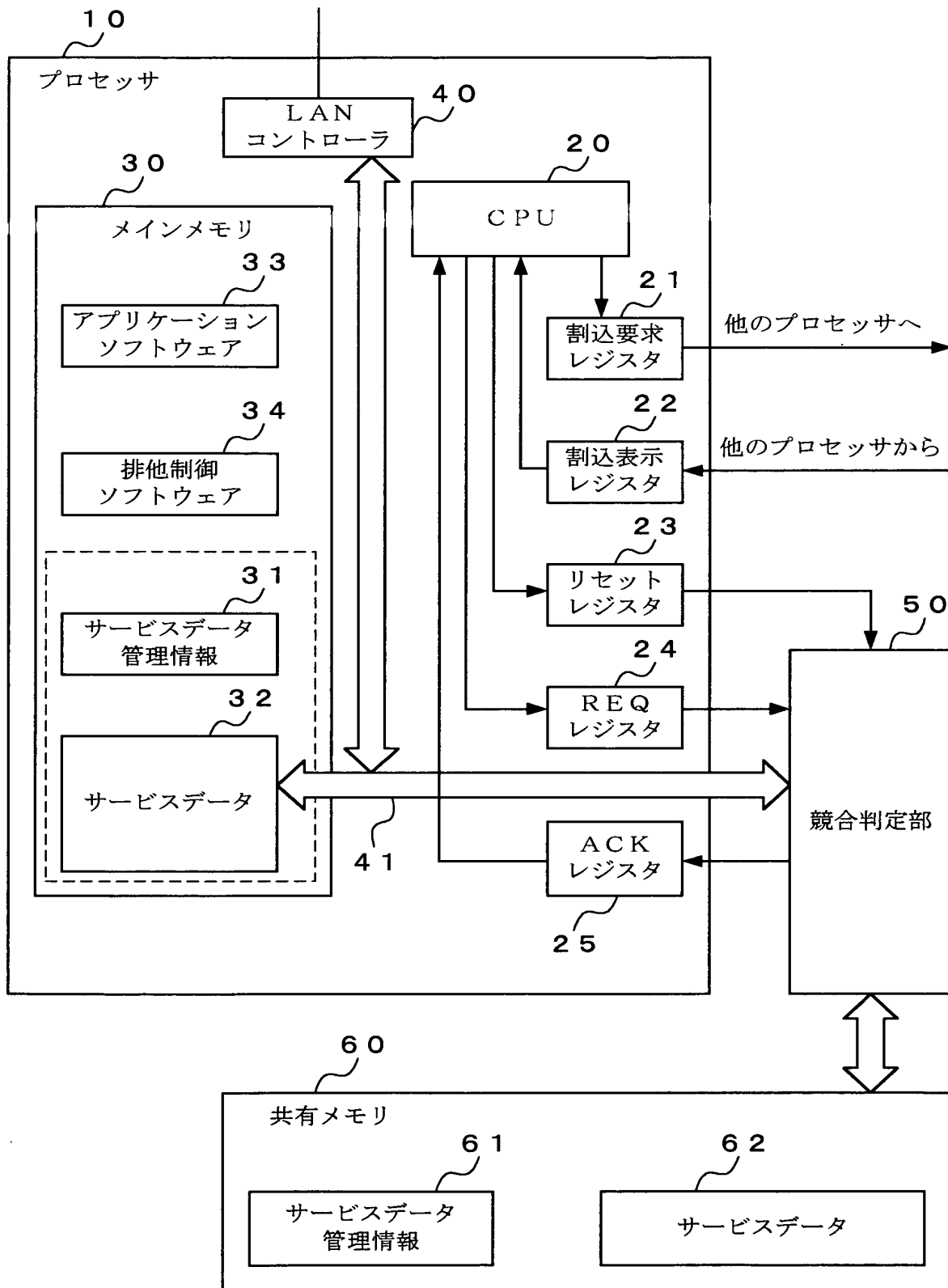
9 0 記録媒体

【書類名】 図面

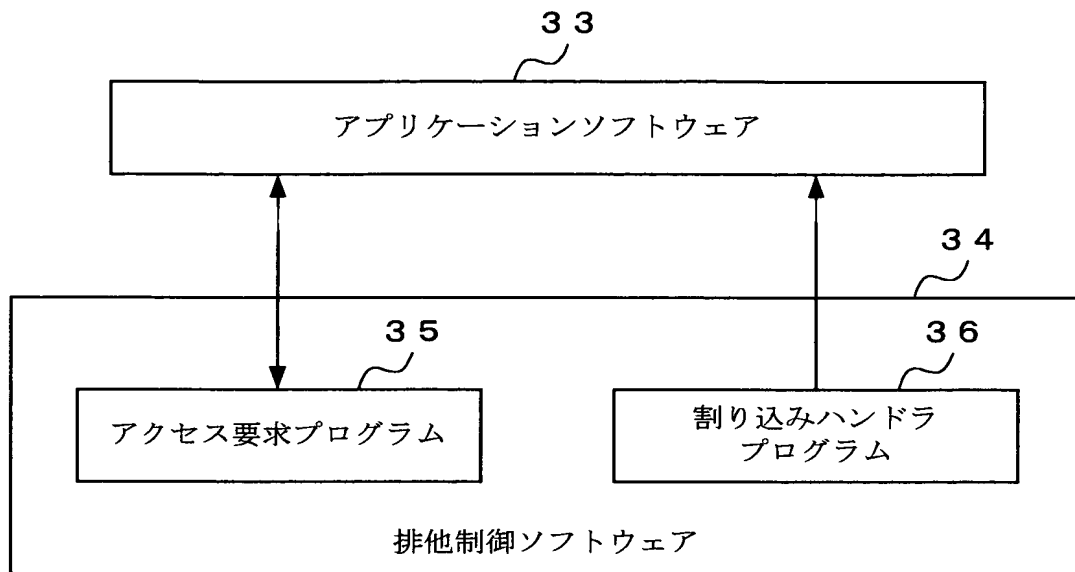
【図 1】



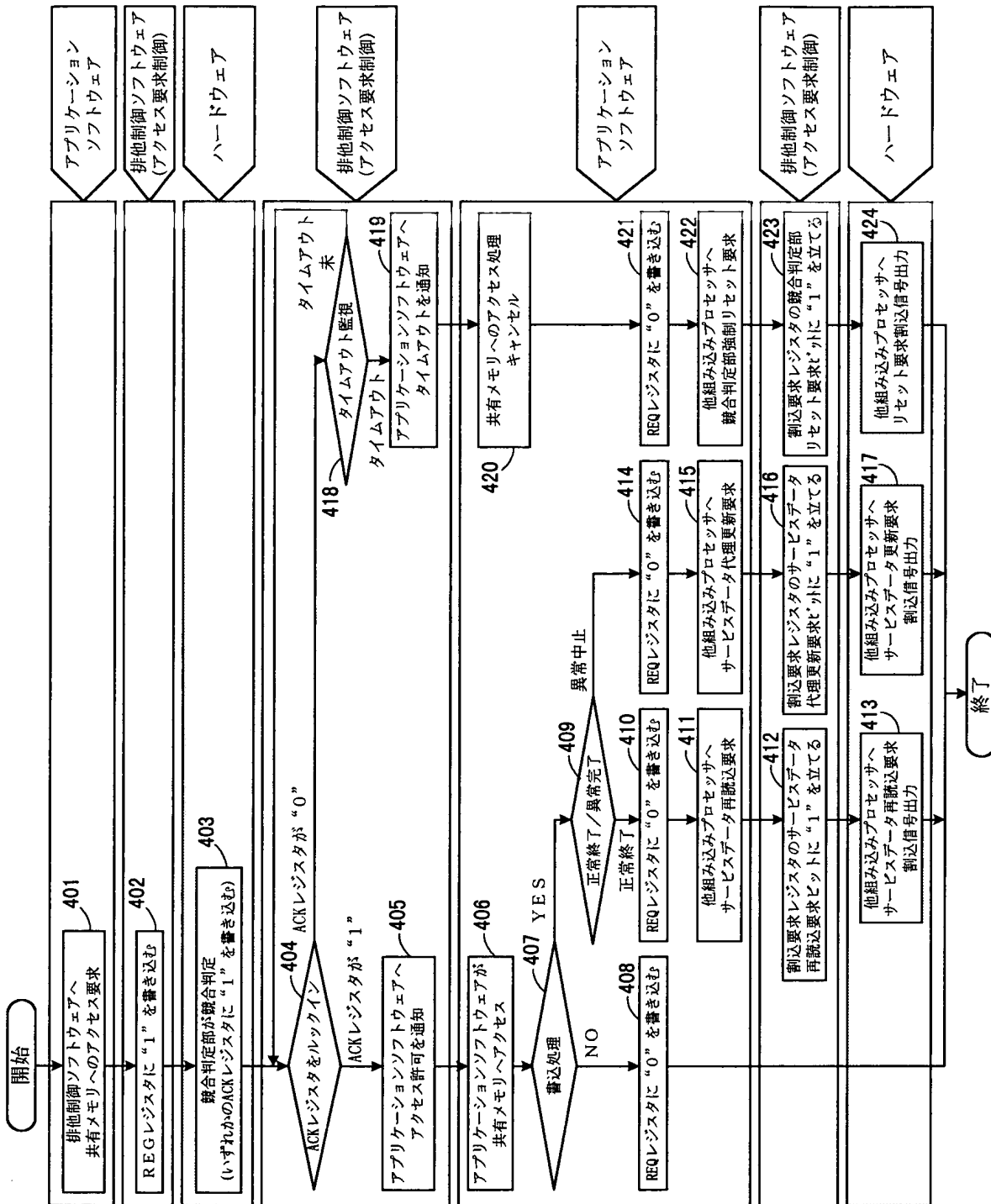
【図2】



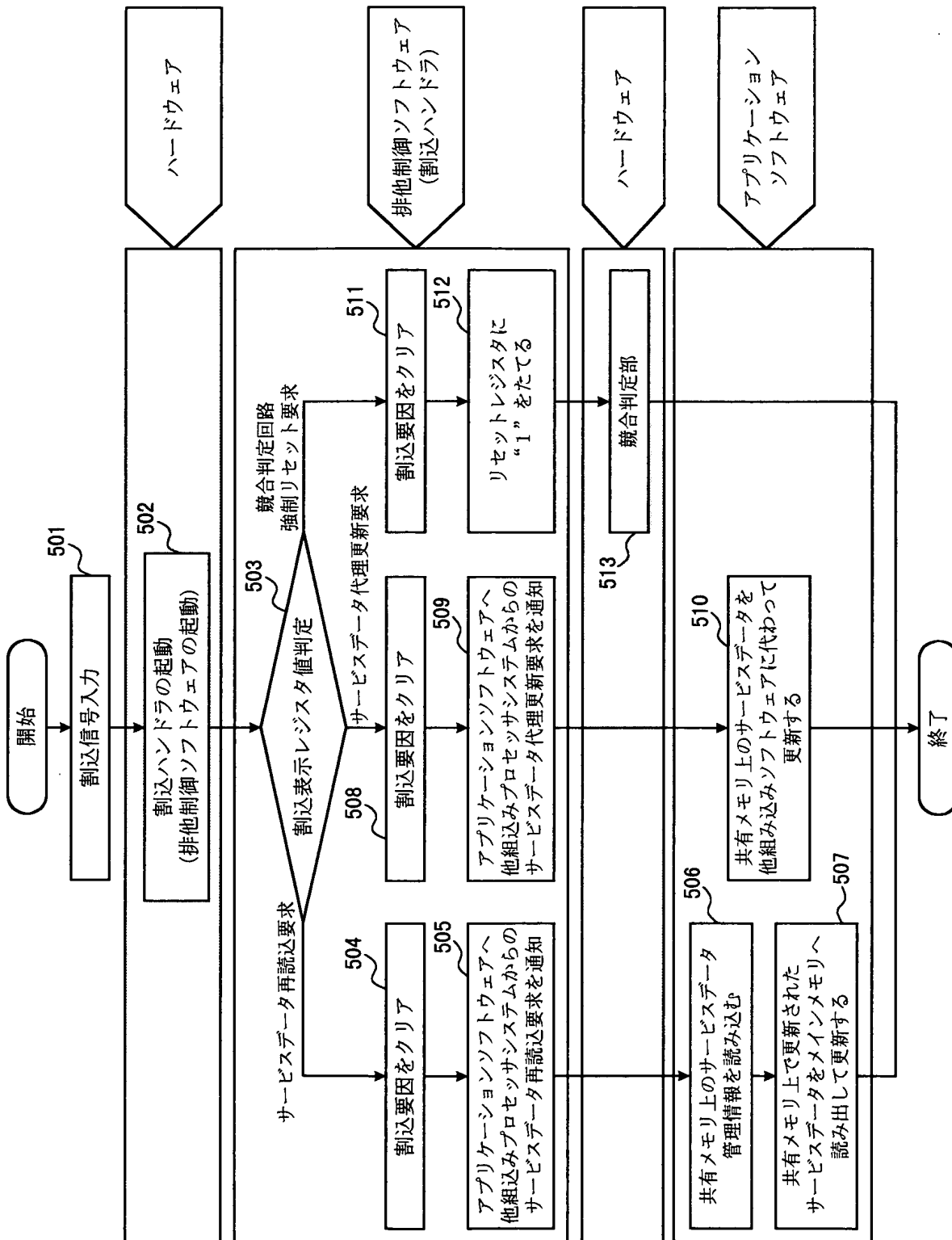
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 共有メモリに記録されたデータの更新処理において、更新失敗のリカバリ処理や最新データの有無の確認等を、各プロセッサ間において相互に通知し連携して処理することのできるマルチプロセッサシステムを提供する。

【解決手段】 複数のプロセッサ 1 0 により共有される共有メモリを備えるマルチプロセッサシステム 1 0 0 において、各プロセッサ 1 0 による共有メモリ 6 0 に対するアクセスを管理する競合判定部 5 0 を備え、各プロセッサ 1 0 は、他のプロセッサ 1 0 と通信し共有メモリ 6 0 に対する更新処理の終了及び更新処理の失敗の情報を相互に交換し、他のプロセッサ 1 0 において更新処理が終了した場合に、当該更新されたデータの読み出しを行ない、他のプロセッサ 1 0 において更新処理が失敗した場合に、当該更新に失敗したデータに対する更新処理を引き継いで実行することにより、各プロセッサ 1 0 のそれぞれが連携して、共有メモリ 6 0 をアクセスすることを特徴とする。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 1 - 0 4 3 8 5 5
受付番号	5 0 1 0 0 2 3 6 7 7 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 3 年 2 月 2 1 日

< 認定情報・付加情報 >

【提出日】	平成13年 2月20日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社